Formation Electrolab

FPGA – Partie 1

Principes, concepts, technologies, outils

Flax
flax@randagodron.eu

Formation FPGA – Partie 1 - Formateur

Formateur :

Flax

Dev HW / FPGA ECU automotile

Formation FPGA – Partie 1 - Définitions

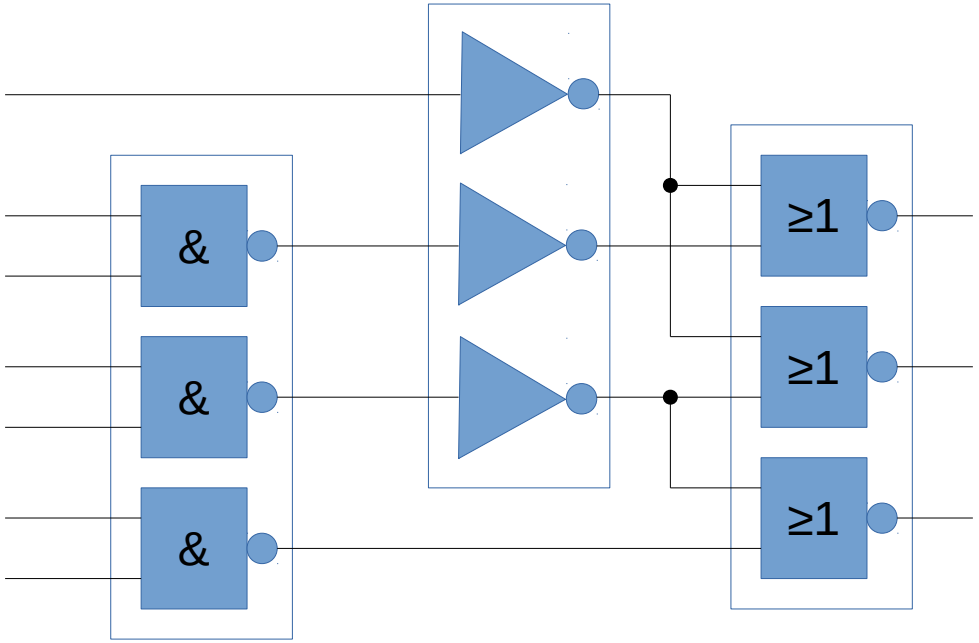
- FPGA : Field-Programmable Gate Array
  - Circuit logique programmable
  - Logique câblée
  - Circuit => langage descriptif (/= séquentiel)

    HDL : Hardware Description Language

    VHDL ou Verilog

Formation FPGA – Partie 1 - Historique

- Préhistoire : circuits logiques « discrets »



Série 74xx (TTL)

7400 : Quad 2 input NAND

7402 : Quad 2 input NOR

7404 : Hex Inverter

7408 : Quad 2 input AND

7474 : Dual D-type FF

…

Série 4xxx (CMOS)

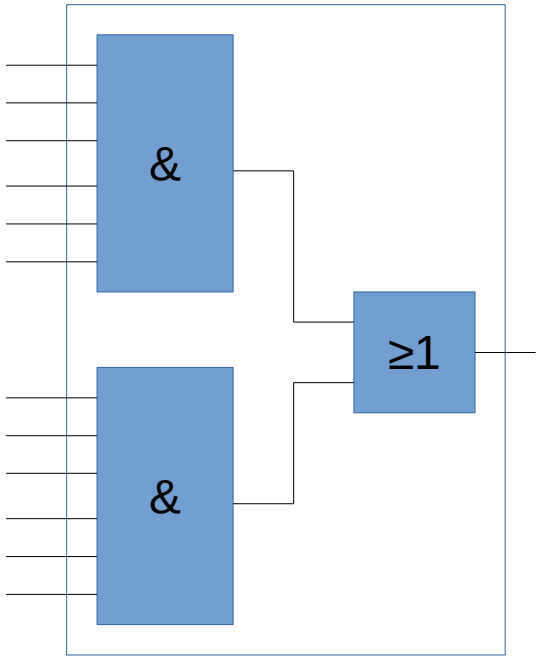
4011 : Quad 2 input NAND

4001 : Quad 2 input NOR

...

Formation FPGA – Partie 1 - Historique

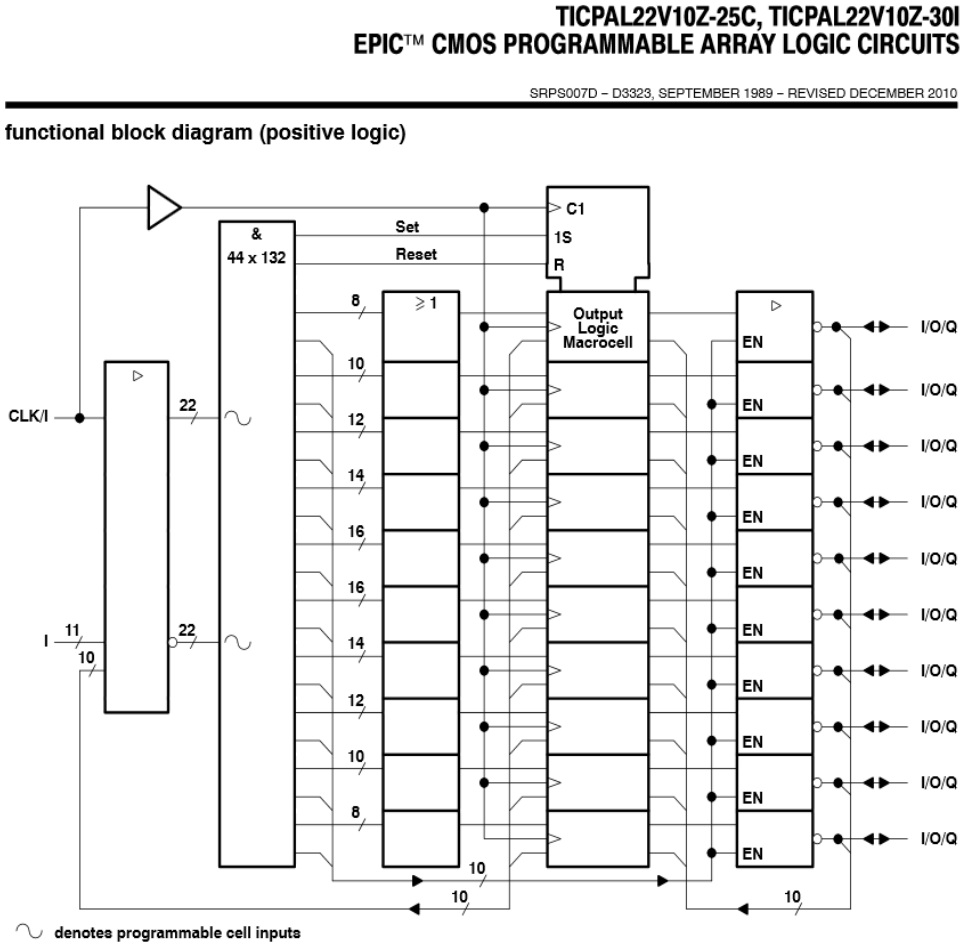
- Révolution: circuits logiques « semi-intégrés »
  - Entrées / sorties fixes, connexions programmables entre les entrées



PAL22V10

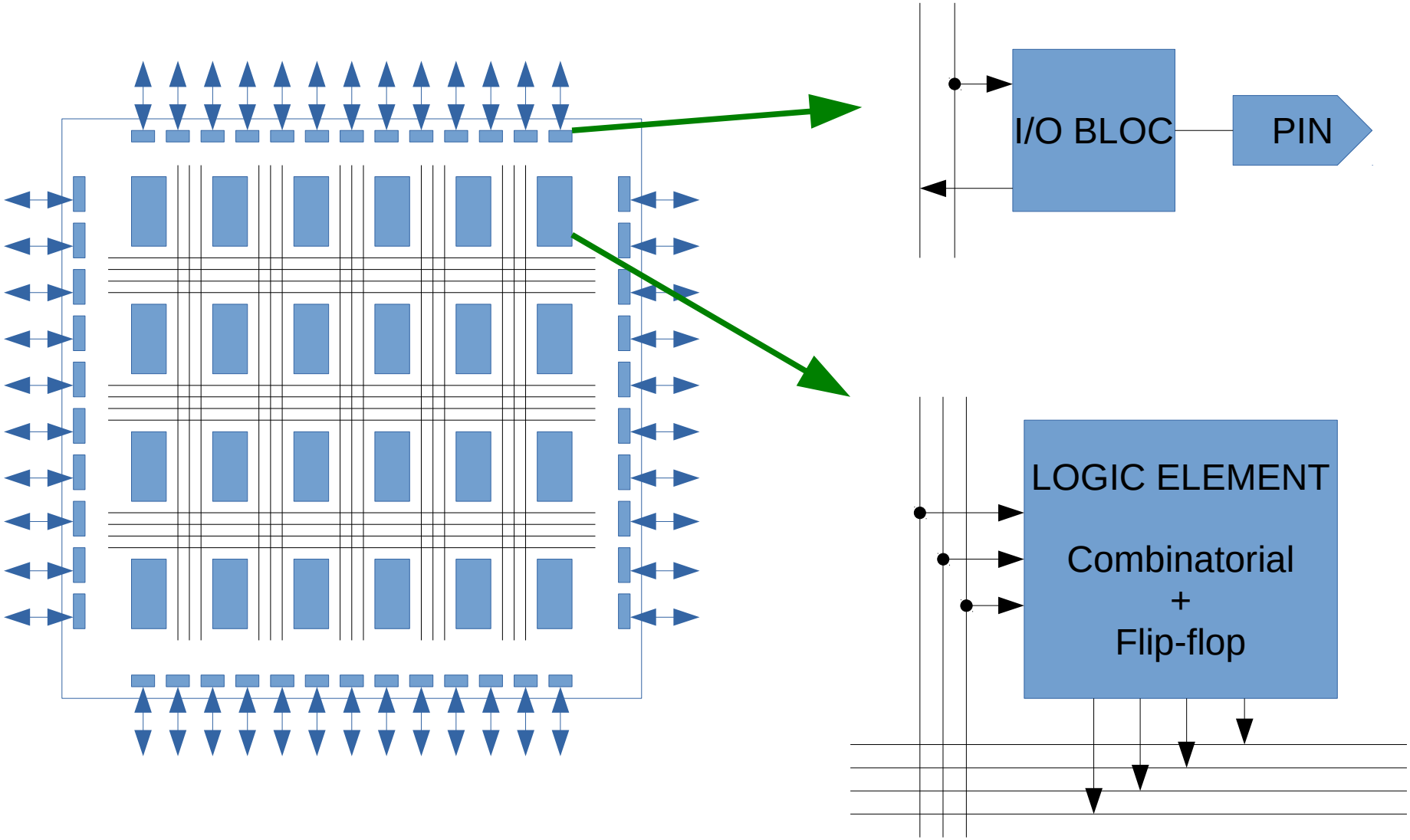
PAL16L8

...



Formation FPGA – Partie 1 - Historique

- Maintenant: FPGA



Formation FPGA – Partie 1 - Concepts

- Concepts :
  - Mapping / Routing => Place & Route
  - I/O
  - Contraintes
  - Configuration

Formation FPGA – Partie 1 - Technologie

- SRAM

  La configuration est stockée dans une SRAM

  - Perte de la configuration à la coupure des alims
  - Doit être configuré à chaque allumage
  - La plus rapide, meilleure densité

- FLASH

  La configuration est stockée dans une Flash

  - La configuration est résiliente
  - Instant-on
  - Lente, densité faible

- ANTIFUSE

  La configuration est écrite par fonte de « fusibles »

  - Résiliente, non-réinscriptible, instant-on
  - Rapide, densité élevée

Formation FPGA – Partie 1 - Technologie

- SRAM

  Xilinx, Lattice, Altera, Atmel

- FLASH

  Microsemi (Actel)

  Lattice : SRAM + flash intégrée dans le même boîtier (XP2, MACH XO2)

- ANTIFUSE

  Microsemi (Actel), QuickLogic

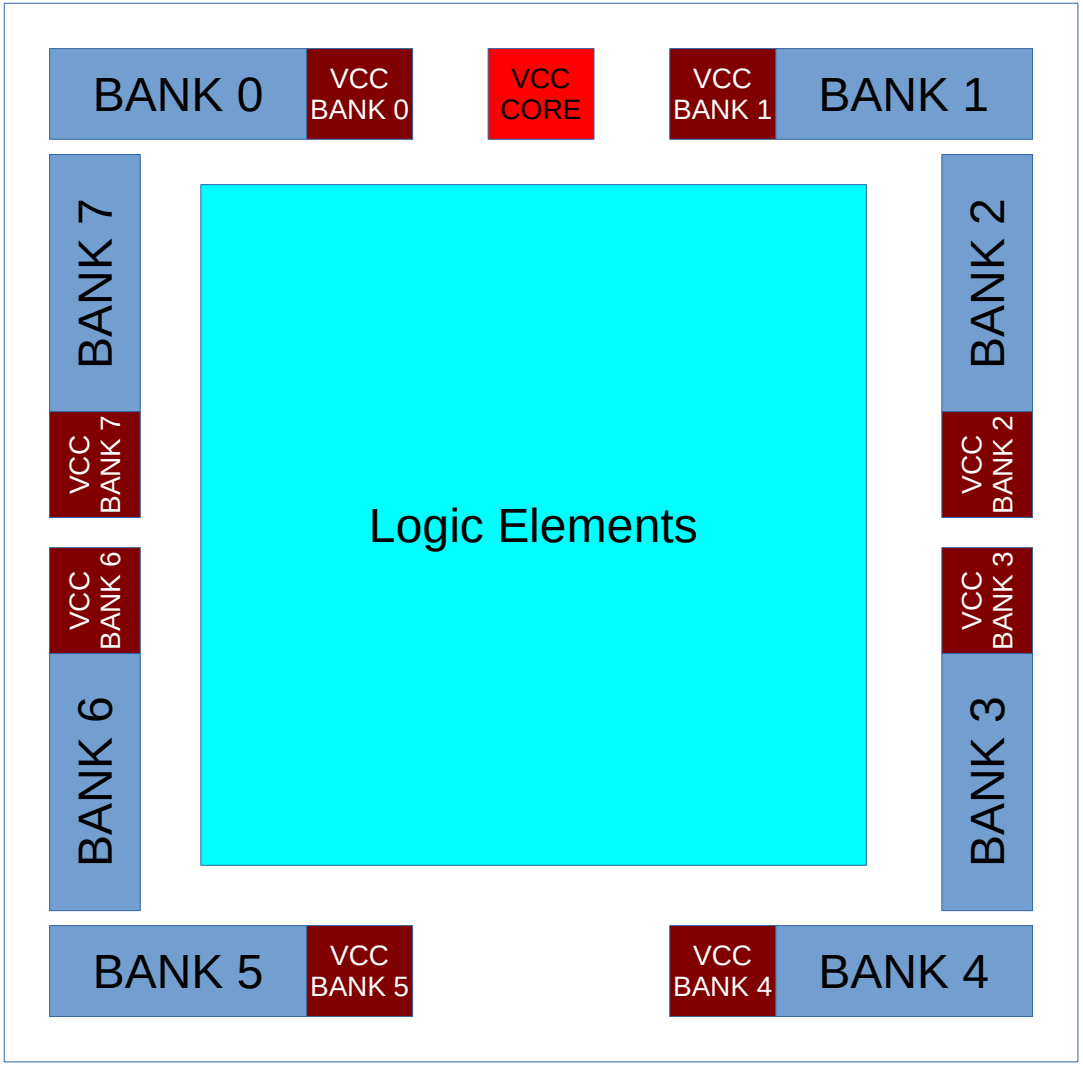
Formation FPGA – Partie 1 – I/O

- Les I/Os sont très largement configurables
  - Entrée / sortie
  - Single-ended (TTL, CMOS, LVCMOS, GTL, PCI …)
  - Differentiel (LVDS, SSTL, LVPECL ...)
  - Seuils réglables en entrée (TTL, CMOS, LVTTL, LVCMOS, 3.3, 2.5, 1.8 …)
  - Tension de sortie définie par les tensions d'alimentation des banques

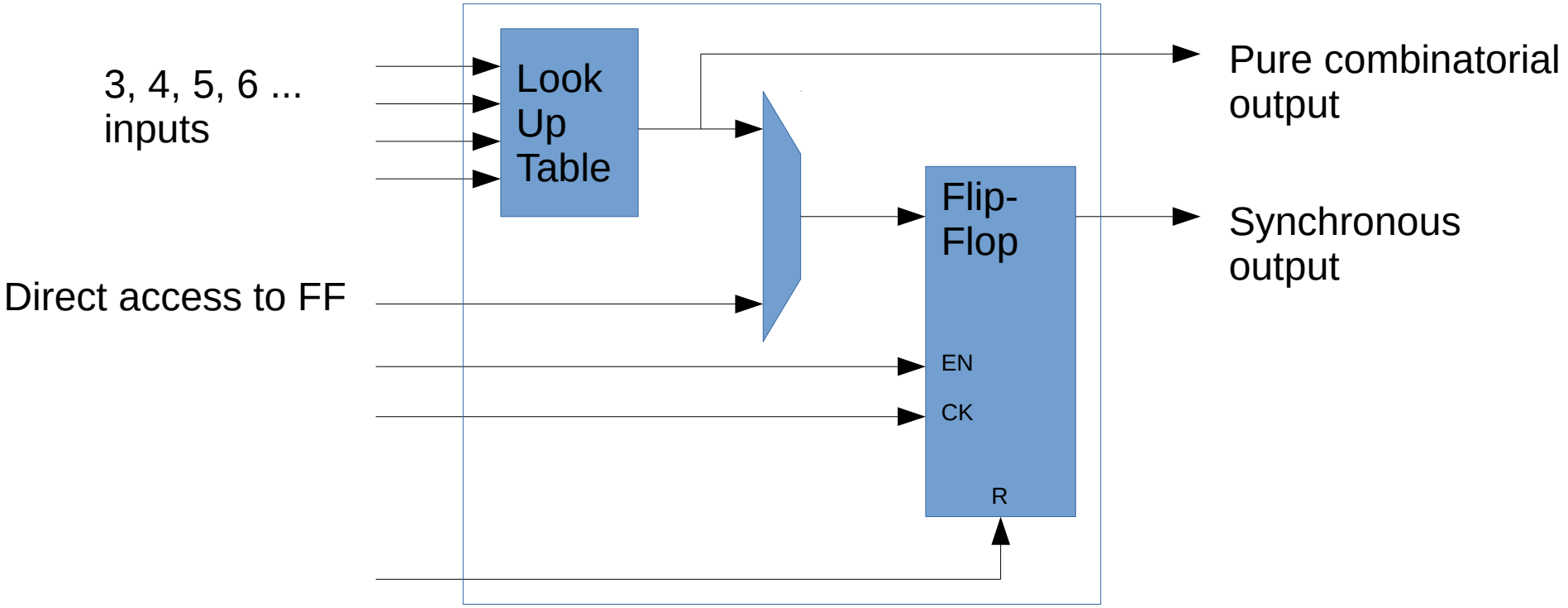
Formation FPGA – Partie 1 – I/O

- Les pins sont groupées par banques
- Chaque banque a une ou plusieurs pins d'alim dédiées
- Les Éléments Logiques ont une alimentation dédiée et une ou des pins d'alimentation dédiées

Formation FPGA – Partie 1 – I/O



Formation FPGA – Partie 1 – Éléments Logiques



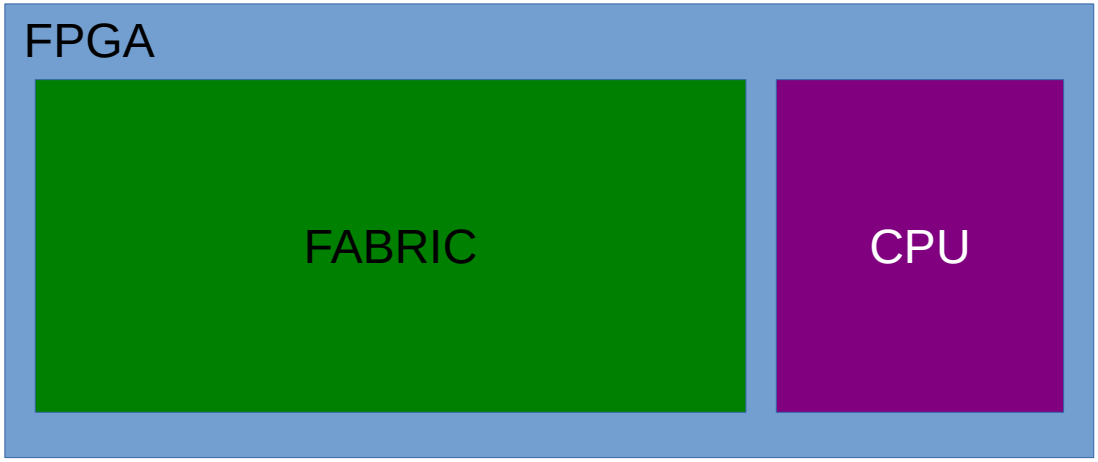
Formation FPGA – Partie 1 – Fonctions embarquées

- Éléments Logiques : « FABRIC »
- Blocs de RAM single port, dual port, FIFO, synchrone, asynchrone
- PLL clock skew elimination, multiply / divide, delay, phase, frequency synthesis
- Interfaces RAM externe DDR, DDR2, SDRAM, ...
- SRIO liaison série 5GHz
- Blocs maths / DSP multiply / accumulate, divide
- NVM non-volatile memory : Flash, EEPROM

Formation FPGA – Partie 1 – Fonctions embarquées

- Hard CPU

  ARM, PPC ...



Soft CPU

- Xilinx
  - MicroBlaze (32 bits RISC, 85 MIPS)
  - PicoBlaze (8 bits RISC, 40 MIPS)
- Altera
  - NiosII (32 bits RISC 28-200DMIPS)
- IP 8051, 6502, Z80, 68k, LEON2

Formation FPGA – Partie 1 – Paramètres

- Nombre de LE
- Nombre d'entrées de LUTs
- Vitesse des LE (fréquence)
- Fonctions embarquées
- Boîtier + I/Os disponibles
- Grade de température

  COM 0°C/70°C IND -40°C/85°C, AUTO -40°C/125°C/135°C, MIL
- Grade de vitesse

  STD, -1, -2 … -6, -7 ...

Formation FPGA – Partie 1 – Configuration

- SRAM

  Requiert une mémoire externe pour charger la configuration au démarrage : EEPROM, MCU …

  Pour changer la configuration, il faut changer le contenu de cette mémoire (flasher l'EEPROM / MCU).

- Flash

  La configuration est chargée automatiquement au démarrage à partir de la Flash interne.

  Pour changer la configuration, il faut flasher la Flash interne.

- Lattice XP2 / MACH XO2-3

  La SRAM est chargée à partir de la Flash interne.

  Pour changer la configuration, il faut flasher la Flash interne. On peut également accéder directement à la SRAM (shunt de la Flash).

- La vérification de la configuration sur les FPGA Flash :
  - Lattice : on peut relire la Flash
  - Microsemi : Flash write-only

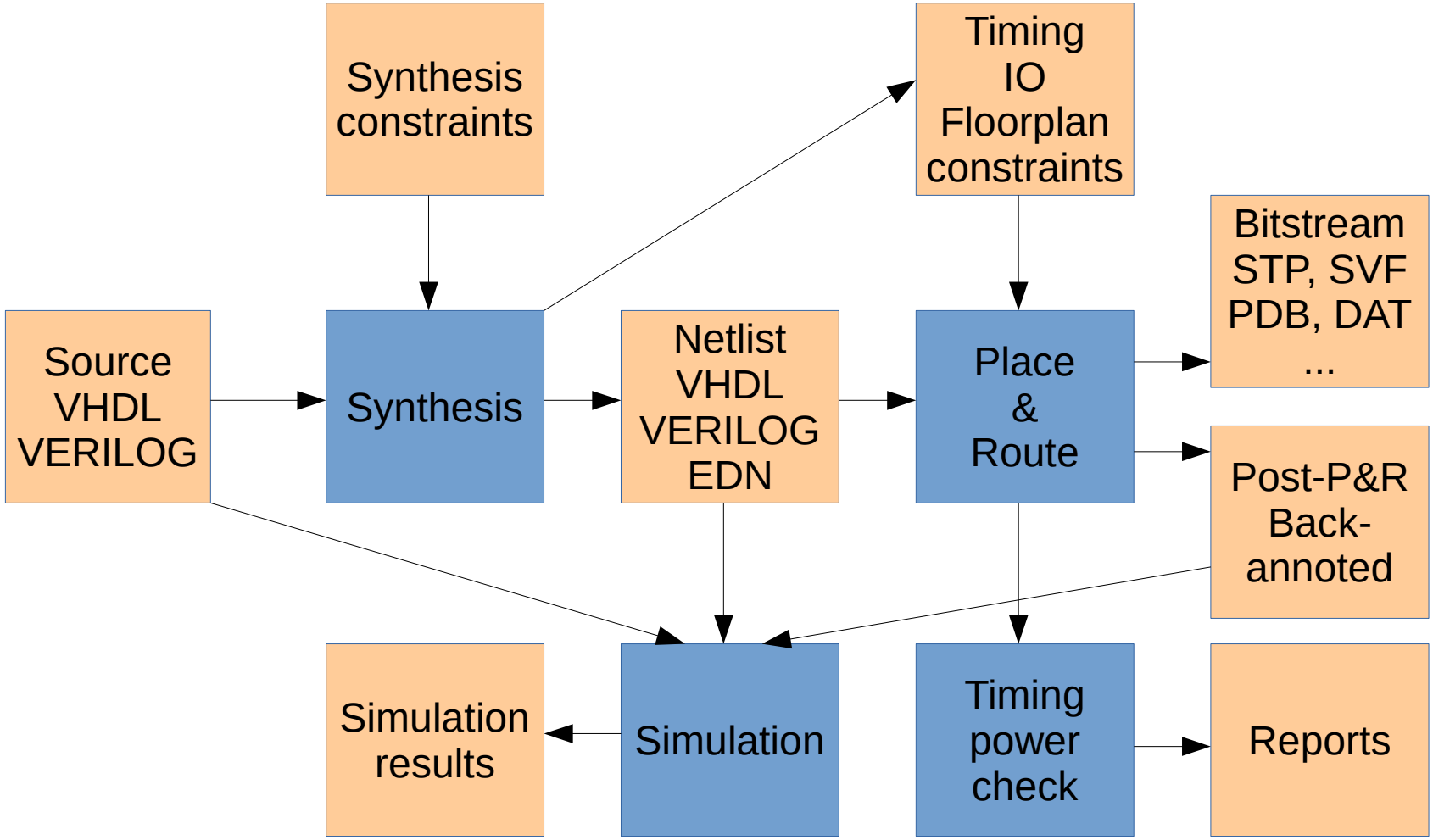
  Pour faire un VERIFY, on envoie la configuration au FPGA qui fait la comparaison et indique un status OK / NOK.

- Moyen de configuration

  Connecteur JTAG, liaison SPI, I²C …

  Programmation par sonde dédiée, via API en C (MCU).

Formation FPGA – Partie 1 – Workflow



Formation FPGA – Partie 1 – CPLD

CPLD

Complex Programmable Logic Device
Fonctionellement semblable à un FPGA
Développement en HDL
Workflow identique
Routage interne moins flexible

Avantages

Moins cher

Plus rapide

Inconvénients

Inefficace – nécessite plus de LE qu'un FPGA à isofonctionalité (~2 fois plus)

Formation FPGA – Partie 1 – Terminologie

« Programme » : Design

« Binaire » : Bitstream

« Mémoire programme » : Configuration
« Programmation » : Configuration